

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **58-180961**

(43)Date of publication of application : **22.10.1983**

(51)Int.Cl. **G01R 31/26**
// **H01L 21/66**

(21)Application number : **57-062498**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **16.04.1982**

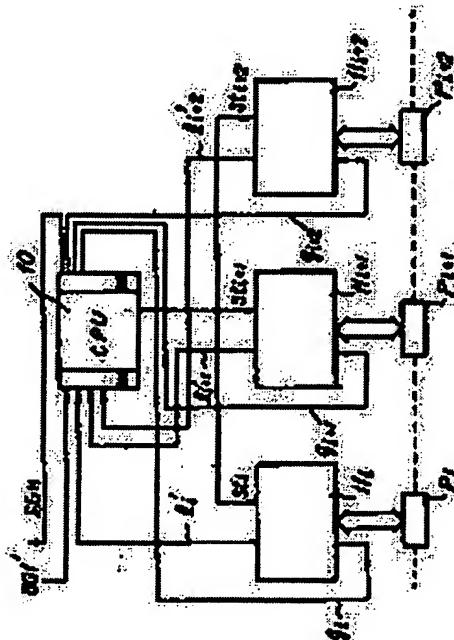
(72)Inventor : **AIDA AKIRA**

(54) AUTOMATIC TESTING OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To simplify the construction of an automatic testing system by providing a CPU as interface for connecting a tester to a handler.

CONSTITUTION: A handler and testers 11i and 11i+1... are connected with a CPU10 as interface and a test start command from the CPU10 is transmitted through lines St_i, St_{i+1}... so that the testers 11i... will test corresponding to measuring positions P_i, P_{i+1}... to judge the propriety thereof. The results are written into an address corresponding to the positions P_i... of a memory of the CPU10 via lines P_i, P_{i+1}.... Then, a movement command SGH is outputted to the handler from the CPU10 to move a device while the memory contents of the memory of the CPU10 are shifted at an interval of one address and applied to the testers P_i... via lines g_i, g_{i+1}.... The testers P_i... fail to test corresponding to a deficiency decision signal thereby allowing the judgement of possible deficiency. The testing is proceeded by repeating the same operation. This system employing a CPU can simplify the construction of the testing system.



④ 日本国特許庁 (JP)
⑤ 公開特許公報 (A)

① 特許出願公開
昭58-180961

② Int. CL¹
G 01 R 31/26
/ H 01 L 21/06

識別記号

序内説明番号
7850-2G
6851-5P

③ 公開 昭和58年(1983)10月22日
発明の数 1
審査請求 未請求

(合 4 頁)

⑥ 半導体装置の自動テスト方法

⑦ 特 権 昭57-62498
⑧ 出 現 昭57(1982)4月16日
⑨ 発 明 者 金田彰
川崎市幸区小向第2町1番地東

東芝浦電気株式会社トランジス
ト工場内

⑩ 出 品 人 東京芝浦電気株式会社
川崎市幸区環町72番地
⑪ 代 理 人 井原士 刑辯業務 外1名

図 図 著

1. 発明の名称

半導体装置の自動テスト方法

2. 発明請求の範囲

ハンドラを用いて半導体装置のテスト装置をこれに對応する段階で受けられたテストに接続してチップ上半導体装置の自動テスト方法において、ハンドラとテストを結合するインターフェイスを半導体装置を備えて形成して、該中央処理装置のメモリにテストに對応してダメージから与えられるテスト履歴や、不良の判定信号を記憶するようにし、ハンドラによつて半導体装置の次のテスト基準が次のテストに満足されたとき試験ノックから該判定信号を前も出して由は次のテストに供給し、該テストでこれを判定させて由は次のテスト履歴中のテストを行なうかどうかを決定させながらテストを行なうよう記したことを特徴とする半導体装置の自動テスト方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の自動テスト方法に関する。
(発明の技術的背景とその問題点)

近年より半導体装置や生産ラインにかけて省力化を目指しテスト工場に作業装置(ハンドラ)をテストと結合した自動テスト方法がある。このハンドラと半導体装置(以下デバイスと称す)をテストに接続してテストを行なわせるもので、これとテストとを結合せしむる方法として算定ゲートシーケンスをデバイスのテスト端子だけ設け、あるゲートシーケンスでこれに對応する箇所をアドレスしその判定結果をみて次のゲートシーケンスでのテストを判をうちどうかの動作をきめる方法がある。テストは動作がシンカン形式だけ設けられ、最初開通ゲートシーケンスのテストが測定装置への信号を先送する。

この複数のゲートシーケンスでテストする場合のハンドラーとテストとのインターフェイスを図1に例示する。

この圖せ11、111、112、113、114は社のハンドラ(表示せず)の動作タイミングにシフトされるソフトウェアでそれ流れさせます。211、212、213

一のテスト結果の結果を記憶し、次のテストの動作中コントロールをする。

ハンドラからのテストスタート信号は BG1、ソフト信号は BG0 で示してある。テスト 2 の動作はテストスタート信号 BG0 とレジスタ 11 の記憶内容がハンドラーにより一致する場合のみテスト開始となる。デバイスは固定ポジション PI でこれに対応する信号とテスト 2 と共にハンドラーによってコンドクト又はソケットで接続されテスターが開始される。そしてテスト 2 にはそのテスト結果を見たるバス (PASS)、不良をターキッシュ (FAIL) として PASS / FAIL ライン PI 上に出力し、レジスタ 11 の記憶内容がハンドラのタイミング信号 BG0 と記憶させて出力させる。デバイスはハンドラによって次のポジション PI へ、に送られ、同時に 11 の記憶内容も 11+ に取られる。モジュール PI には前のポジション PI + から次のデバイスが並んでおり、またポジション PI + が次のモジュール PI とのデバイスが並ぶ。またレジスタ 11, 11+, 11+ にはそれぞれ前のモジュールのレジ

11-, 11+, 11+ の記憶内容がある。

そして最初にモジュールにデバイスがセットされた後アンドゲート 81, 81+ が活性化され、これによりハンドラからのスタート信号 BG0 と 11, 11+, 11 の記憶内容をととのアンドをとり、記憶内容がバスの場合にはスタート信号 111, 111+ 11 をテスト 2, 2+ 11+ 一起とする。アドレスの場合にはスタート信号が発えられず、テストは動作しない。

このよりハンドラを用いてデバイスを複数の回路ポジションで自動的にテストする方法は、ハンドラとテストとのインターフェイスを、テストの操作結果をソフトウェアで記憶させ、デバイスを次のポジションに送るハンドラの通りと同期したソフトウェアにて記憶内容を次のポジションのテストに与え、この内容がバスでもテストを動作させない状態を作りまうにしてテストとするこれが一般的である。

しかしながらとのようなインターフェイス方式を用いたテスト方法ではインターフェイスのレスポンス速度が比較的遅い。それだけ革新的な方

法も多く又堅守も難かしい。さらにシステム設計も安易でないという欠点もある。

(実現の目的)

本開明社ハンドラとテストとのインターフェイスを CPU 化したデバイスのテスト機能を提供することを目的とする。

(実現の説明)

本開明社、ハンドラとテストとを組合するインターフェイスを中心とした組合を解いておらず、既中央組合機器のメモリにテストに對応してテストから与えられるテスト結果の良、不良の判定結果を記憶せらるるに加し、ハンドラによりてデバイスの次のテスト回路が次のテストに接続されたとき前記メモリから既に固定信号を読み出して接続次のテストに開始し、既テストでこれを相應させて接続次のテスト回路のテストを行わうかどうかを決定せらるが当テストを行なうようにしたことを特徴とする。

(実現の実現的)

本開明社ハンドラを用いてデバイスのテスト

機能を組合と共に対応するテスト機能を実現し、デバイスをテストする旨都テスト方法がされて、ハンドラを組合と共にすよりモジュールインターフェイスでテストと結合してテストを行なうなどを特徴とする。

上記インターフェイスは CPU (中央处理器) 110 を備えて構成されており、CPU 110 はハンドラ (周囲せず) からテストスタート信号 BG0+ を受け取つてテストを開始させ、またデバイスを次のポジションに移動させるシフト信号 BGK を発生してハンドラに与えるように作つてある。また CPU からデバイスのテスト回路だけ抜けられたデータ (111, 111+, 11+) にそれぞれ別のテスト 111-, 111-, 11+ によるテスト結果中の固定信号 (バス、アドレス信号) と、スタート信号 111, 111+, 11+ とを与え、測定サブテスト 111, 111+, 11+ からテスト結果の固定信号 (バス、アドレス信号) を CPU に受け取るようになつてゐる。

CPU 110 では各ポジション PI, PI+, 11+ のデータ 111, 111+, 11+ をアドレスで相当して、各データの判定結果はそのアドレスのメモリに記憶さ

規格書180961(3)

また、 $P1+, -, -$ を通じてCPU10にあたる。テストにあたる相対信号がアエイクをもつてテスト内部のテストプログラムのエンドヘッジンとして、テストを行なわずエイク回路をCPU10に与える。

以上の通りにCPU10を介してハンドラと結合されたテストにより、デバイスは次のようにしてテストされる。開窓がグリーンP1, P1+, -, のそれぞれにセットされると、前のボーダーロジックのテスト結果の相対信号をCPU10から読み取られたデータ $P1+, -, -$ によりその内容を再現され、バスのものについて対応する箇所をテストされる。その結果はバス、エイクの相対信号としてCPU10に与えられ、CPU10のアセサのテスト結果に対するアドレスに記憶される。エイクのものについてはテストは行なわれず、テストはエイクの相対信号を発生してCPU10のメモリに開窓に記憶される。ボーダーロジックP1, P1+, -, が各デバイスのテストが終了すると、ハンドラはよりデバイスはそれを次のボーダーロジックP1, P1+, -, に

れる。そしてデバイスを次のボーダーロジックソフト番号800を発生してハンドラ化され、デバイスが自動したらハンドラから発生されるテストスタート信号801によって判定結果はそれぞれ次のアドレスにシフトされ、判定信号をもつて次のボーダーロジックのアドレスに与えられるようである。また同時にスタート信号 $P1+, -, -$ をテストを与える、その判定結果はアドレスから新たに操作結果が入力で示るとそれがとつて代つて記憶される。

ボーダーロジックP1, P1+, -, のデータ $P1, P1+, -, -$ はそれぞれだかえられた判別信号とスタート信号 $P1, P1+, -, -$ とのアンドをとつて初期化時のバス、エイクを判別し、そのボーダーロジックであるデバイスの対応するアドレス情報をテストするかどうかが決まる。この決定は、この複数のデバイスの動作の良否をテストするテストに判定回路を備えているので、との判定機能を活用して行なわれる。そして判定信号がバスをもつてデバイスのテストを行なつてテスト結果が不良かの確認を行い、その結果を判定信号としてPASS/FAILライン

移動される。ボーダーロジックP1にも前のボーダーロジックからデバイスが移動される。そしてCPU10から前のボーダーロジックのテスト結果の判定信号を供給され、そのバス、エイクに接続して前と同様にしてアドレスされる。

このデータにCPU10から供給される相対信号を説明して結論する箇所をテストするかどうかの判断をせながら付なむせるテストを、デバイスのテスト専用光柱あるデータ立てに該当行なわれる。そして最終のデータでアセットすると共にデータ列間に一度でも不良判れるか否かに従いその判定信号をデバイスの別途回路と見える。

このよう配アセットの相対信号を利用してデバイスのアセット箇所のアセットを行なわせるかどうかアセットに供給せず、かつこのアセットをハンドラとを結合するインターフェイスをCPU化してテストを行なうようにさせたので、其のようシフトレタスケーリングを用いたハードウェイクルインターフェイスに比べインターフェイスを簡単に構成してアセットを行なうことをできる。

（規格の結果）

平易な方法によれば、アセットにデバイスのアセット自身のアセットを行なうか否かの判断をせしめ、かつアセットとのハンドラとを結合するインターフェイスをCPU化してテストするようにしていているので、アセットシステムを簡単に構成してテストが行なえ、またシステムの改修も少なく保守も容易となる。もくじの簡単な説明

以上四種の構造用に用いられるハンドラとアセットとを結合するインターフェイスの構造圖、第2章の本規格方法における第1図と回路を図解図である。

10 ---- CPU

111, 1111, ..., --- ----アセット

81, 811, ..., --- ----アセットに供給される相対信号のライン

811, 8111, ..., --- CPU化されたアセットの相対信号のライン

P1, P1+, -, --- 動定ボーダーロジック
811, 8111, ..., --- スタート信号